

Semiconductor Integration Circuit (the KR Laid-Open NO. 1997-131176)

In accordance with the present invention, a bias voltage control circuit of a ring oscillator circuit 103 includes a bias voltage adjustment circuit provided with a variable resistor. The bias voltage adjustment circuit adjusts bias voltage values of a high electric potential side bias voltage output circuit 106 and a low electric potential side bias voltage output circuit 107 according to a VCC between the high electric potential side bias voltage output circuit 106 and the low electric potential side bias voltage output circuit 107 or a temperature. The variable resistor and a VCC voltage divider are formed between the high electric potential side bias voltage output circuit 106 and the low electric potential side bias voltage output circuit 107. With use of the variable resistor, a bias voltage of the ring oscillator circuit 103 can be properly controlled according to each specific condition.

Accordingly, if the ring oscillator circuit 103 is used for an automatic self refresh function of a PSRAM, an increase in a frequency of a refresh operation per hour caused by an increase in the VCC can be prevented. Furthermore, because of the temperature dependency variable resistor, a resistance value decreases with respect to a temperature increase. Thus, it is possible to set an oscillator frequency that can guarantee a paused circuit operation for a predetermined time. Also, the present invention can provide the ring oscillator having a less power dependent ring oscillator frequency and a certain temperature characteristic and reduce the current consumption.

**Self Refresh Cycle Adjustment Device of Semiconductor Device
(the KR Laid-Open No. 1997-123827)**

The present invention relates a self refresh cycle adjustment device of a semiconductor device. The present invention forms a temperature detecting means capable of detecting a temperature without causing any changes in a power voltage by using a temperature characteristic of a power voltage generation circuit to prevent a current consumption caused by quickly driving a self refresh cycle of dynamic random access memory (DRAM). Thus, it is possible for the present invention to adjust the self refresh cycle at a temperature equal to or more than a specific temperature.

특0123827

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G11C 11/406	(45) 공고일자 1997년11월25일
	(11) 등록번호 특0123827
	(24) 등록일자 1997년09월19일
(21) 출원번호 (22) 출원일자 (73) 특허권자 (72) 발명자 (74) 대리인	특1994-033683 1994년12월12일 현대전자산업주식회사 김주용 경기도 이천군 부발읍 아미리 산 136-1 김정팔 서울특별시 강동구 고덕 2동 255-2 김영식 경기도 이천군 부발읍 아미리 산 136-1 이권희, 이정훈
	(65) 공개번호 (43) 공개일자 특1996-025735 1996년07월20일

심사관 : 김동경 (특허공보 제5170호)

(54) 반도체 소자의 셀프 리프레쉬 주기조절장치

요약

본 발명은 반도체 소자의 셀프 리프레쉬 주기조절장치에 관한 것으로, 디램의 셀프 리프레쉬의 주기를 실온에서 빨리 구동시킴으로 인하여 생기는 전류소모를 방지하기 위하여, 전원전압 발생회로의 온도특성을 이용하여 전원전압에 변동없이 온도를 감지할 수 있는 온도 감지기를 구현함으로써, 특정온도 이상에서 셀프 리프레쉬 주기를 조절할 수 있도록 하였다.

도표도

도 1a

발명서

[발명의 명칭]

반도체 소자의 셀프 리프레쉬 주기조절장치

[도면의 간단한 설명]

제1도는 본 발명을 설명하기 위한 회로도 및 MOS 트랜지스터의 온도에 대한 기준전압의 변화 양상을 도시한 그래프도.

제2도는 본 발명의 제1실시예에 따른 셀프 리프레쉬 주기조절장치의 회로도.

제3도는 본 발명의 제2실시예에 따른 셀프 리프레쉬 주기조절장치의 회로도.

제4도는 본 발명의 제3실시예에 따른 셀프 리프레쉬 주기조절장치의 회로도.

제5도는 본 발명의 제4실시예에 따른 셀프 리프레쉬 주기조절장치의 회로도.

제6도는 본 발명의 제5실시예에 따른 셀프 리프레쉬 주기조절장치의 회로도.

제7도는 제4도의 실시예에 따른 셀프 리프레쉬 주기조절장치의 시뮬레이션 결과를 도시한 그래프도.

* 도면의 주요부분에 대한 부호의 설명

101, 201, 301, 401, 501 : 제1기준전압 발생기

102, 202, 302, 402, 502 : 제2기준전압 발생기

103, 203, 303, 403, 503 : 비교기

503, 504 : 증폭기

[발명의 상세한 설명]

본 발명은 반도체 소자의 셀프 리프레쉬 주기조절장치에 관한 것으로, 특히 온도를 감지하는 온도 감지기를 이용하여 디램의 셀프 리프레쉬의 주기를 온도에 따라 달리하도록 구현함으로써, 디램의 전류소모를 감소시킨 셀프 리프레쉬 주기조절장치에 관한 것이다.

본 발명의 반도체 소자의 셀프 리프레쉬 주기조절장치는 리프레쉬를 요하는 셀의 형태를 가진 디램(DRAM), 피에스디램(PSDRAM), 에스디램(SDRAM), 알디램(RDRAM), 그래픽 램(Graphic RAM)등에 이용될 수 있다.

종래의 온도 감지기가 없는 디램의 셀프 리프레쉬(Self refresh)동작은 고온에서의 디램 셀프 리프레쉬 동작을 보장하기 위해서 실온에서(25℃) 주기를 필요이상 빨리해야 했다. 이 경우 실온에서 필요 이상의 리

프레쉬 동작을 수행함에 따라 과도한 전류소모가 발생하는 문제점이 생겼다.

따라서, 본 발명의 목적은 디램의 셀프 리프레쉬 주기를 온도에 따라 달리하도록 구현하여 디램의 전류 소모를 감소시킨 셀프 리프레쉬 주기조절장치를 제공하는데 그 목적이 있다.

상기 목적을 달성하기 위하여, 본 발명의 셀프 리프레쉬 주기조절장치는 전원전압 발생회로의 온도 특성을 이용하여 전원전압에 변동없이 온도를 감지할 수 있는 온도 감지기를 이용하여 특정온도 이상에서 셀프 리프레쉬 주기를 조절할 수 있도록 구현하였다.

제1a도는 본 발명을 설명하기 위한 회로도로서, 전원전압(Vcc) 및 기준전압(Vref)을 출력하는 출력단자 사이에 연결된 정전류원(1)과, 상기 출력단자 및 접지전압(Vss) 사이에 접속되며 게이트가 상기 출력단자에 연결된 NMOS 트랜지스터로 구성된다. 상기 NMOS 트랜지스터는 게이트가 출력단자쪽에 접속되어 할상 턴-온되므로써, 하나의 다이오드의 역할을 한다. 그리고 출력단자로 출력되는 기준전압(Vref)은 상기 NMOS 다이오드의 저항값에 의해 결정이 된다.

제1b도는 상기 제1a도의 MOS 다이오드의 온도에 대한 기준전압의 변화 양상을 도시한 그래프이다.

상기 그래프도에서 화살표로 표시된 (가)지점은 제로 온도 계수점(zero temperature coefficient : ZTC point)을 중심으로 상기 제로 온도 계수점(가)보다 낮은 게이트-소오스 전압(Vgs)에서는 온도에 따라 전류가 증가하고 상기 제로 온도 계수점(가)보다 높은 게이트-소오스 전압(Vgs)에서는 1온도에 따라 전류가 감소함을 볼수 있다.

이는 상기 제1a도의 회로도에서의 기준전압(Vref=Vgs)은 상기 MOS 트랜지스터에 흐르는 바이어스 전류를 조절하면, 온도에 따라 감소하는 Vgs(3)와, 온도에 무관한 Vgs(2)와, 그리고 온도에 따라 증가하는 Vgs(1)를 얻을 수 있음을 보여준다.

위와 같은 온도 특성을 갖는 이유는 상기 MOS 트랜지스터의 전류식에서 문턱 전압(threshold voltage : Vt)과 이동도의 온도 의존성으로 풀이할 수 있다.

제2도 내지 제6도는 상기와 같은 원리를 이용하기 위해 꾸며진 본 발명의 온도 감지기 회로이다.

제2도는 본 발명의 제1실시예에 따른 셀프 리프레쉬 주기조절장치의 회로도로서, 온도에 따라 저항과 트랜지스터의 채널폭 및 길이를 조절하여 온도 의존성을 갖는 기준전압(Vref)을 발생시키기 위한 제1기준전압 발생기(101)와, 온도에 따라 감소하는 전압을 출력하는 제2기준전압 발생기(102)와, 상기 제1, 제2 기준전압 발생기(101 및 102)의 출력전압을 비교하여 원하는 온도를 감지하여 출력단자로 출력하기 위한 비교기(103)를 구비한다.

상기 제1기준전압 발생기(101)는 전원전압(Vcc) 및 노드(N1) 사이에 접속되며 게이트가 상기 노드(N1)에 연결된 PMOS 트랜지스터(Q1)와, 상기 전원전압(Vcc) 및 노드(N3) 사이에 접속되며 게이트가 상기 노드(N1)에 연결된 PMOS 트랜지스터(Q2)와, 상기 노드(N1) 및 노드(N2) 사이에 접속되며 게이트가 상기 노드(N3)에 연결된 NMOS 트랜지스터(Q3)와, 상기 노드(N2) 및 접지전압(Vss) 사이에 접속된 저항(R1)과, 상기 노드(N3) 및 접지전압(Vss) 사이에 접속되며 게이트가 상기 노드(N3)에 연결된 NMOS 트랜지스터(Q4)와, 상기 노드(N3)의 신호를 출력하는 출력단자(Vref)로 구성된다.

상기 제1기준전압 발생기(101)에 흐르는 전류는, $I_R = V_{gs1} - V_{gs2}$ 의 식에서 다음과 같이 얻을 수 있다.

$$I = \left(\frac{1}{R} (\sqrt{\frac{W}{L}} - \sqrt{\frac{W}{L}}) \right) \quad (식 1)$$

$$\beta I = Un Cox \frac{W}{L}$$

이다.

위의 (식 1)에서 볼수 있듯이 상기 제1기준전압 발생기(101)회로에 흐르는 전류는 전원전압에 관계없음을 알 수 있다. 그리고 전류를 저항(R)과 트랜지스터의 채널폭(W)과 길이(L)로 조절할 수 있음을 알 수 있다. 즉, 상기 제1기준전압 발생기(101)의 회로는 전류를 마음대로 조절이 가능하므로 온도에 따른 전원전압의 변화를 마음대로 조절할 수 있다.

$$V_{ref} = V_{gs1} = V_{tn} + \sqrt{\frac{2I}{\beta I}} \quad (식 2)$$

상기 (식 1)의 전류식의 상기 (식 2)에 대입하면,

$$V_{ref} = V_{tn} + \frac{1}{Un Cox} \frac{2}{R} \frac{L}{W} (1 - \sqrt{\frac{W}{L}}) \quad (식 3)$$

로 나타낸다.

상기 (식 3)의 결과에서 보면 Vtn는 음의 온도 의존성을 갖고 이동도(Un)가 있는 뒷부분의 양의 온도 의존성을 갖고 있으므로 저항과 트랜지스터의 채널폭 및 길이를 조절하여 자유롭게 기준전압(Vref)의 온도 의존성을 구현할 수 있다.

상기 제2기준전압 발생기(102)는 전원전압(Vcc) 및 노드(N4) 사이에 접속되며 게이트가 상기 노드(N4)에 연결된 PMOS 트랜지스터(Q5)와, 상기 노드(N4) 및 접지전압(Vss) 사이에 접속되며 게이트가 노드(N6)에 연결된 NMOS 트랜지스터(Q7)와, 전원전압(Vcc) 및 노드(N5) 사이에 접속되며 게이트가 상기 노드(N4)에 연결된 PMOS 트랜지스터(Q6)와, 상기 노드(N5) 및 상기 노드(N6) 사이에 접속되며 게이트가 상기 노드(N4)에 연결된 NMOS 트랜지스터(Q8)와, 상기 노드(N6) 및 접지전압(Vss) 사이에 접속된 저항(R2)와, 상기 노드(N6)의 신호를 출력하는 출력단자(Vt)로 구성된다.

상기 제2기준전압 발생기(102)회로는 MOS 트랜지스터의 문턱전압(V_t)를 발생시키는 회로이다.

상기 회로의 출력전압 $V_{ref} = V_{gs} = V_t + \sqrt{\frac{2I_D}{\beta}}$ 로 나타나므로 전류를 작게 하거나 β 의 값을 크게 설정하면 출력전압은 문턱전압인 V_t 를 얻을 수 있다. 상기 제2기준전압 발생기(102)의 회로는 출력전압으로 문턱전압(V_t)를 발생시키므로, 상기 문턱전압(V_t)의 온도 의존성($\partial V_t / \partial T$)을 나타낸다.

상기 제1, 제2기준전압 발생기(101, 102)의 회로는 온도에 따라 다르게 반응을 한다. 그러므로 이 변화를 감지하는 비교기를 사용하여 온도를 감지할 수 있다.

즉, 온도에 따라 증가하는, 혹은 변화가 없는, 혹은 온도에 따라 감소하는 전압으로 마음대로 조절할 수 있는 상기 제1기준전압 발생기(101)의 출력전압(V_{ref})과 온도에 따라 감소하는 전압을 출력하는 기준전압 발생기(102)의 출력전압(V_t)을 비교하여 원하는 온도를 감지하는 것이다.

제3도는 본 발명의 제2실시예에 따른 셀프 리프레쉬 주기조절장치의 회로도로서, 기준전압(V_{ref})을 출력하는 제1기준전압 발생기(201)와, 기준전압($2V_t$)를 출력하는 제2기준전압 발생기(202)와, 상기 제1, 제2기준전압 발생기의 출력전압을 비교하여 출력하기 위한 비교기(203)를 구비한다.

상기 제1기준전압 발생기(201)는 상기 제1도의 제1기준전압 발생기(101)와 그 구성과 동작이 동일하므로 여기서는 그 동작에 대해서만 간단히 소개하기로 한다.

상기 제1기준전압 발생기(201)는 MOS 트랜지스터(Q10, Q12)는 각각 하나의 저항의 기능을 하여 상기 공급전압(V_{cc})을 분압한다. 상기 MOS 트랜지스터(Q10, Q12)에 의하여 분압된 전압은 기준전압(V_{ref})으로서, 상기 PMOS 트랜지스터(Q10)의 드레인 및 상기 NMOS 트랜지스터(Q12)의 드레인 간의 접속되는 노드(N9)를 경유하여 출력한다. 한편, 상기 저항(R3) 및 NMOS 트랜지스터(Q11, Q12)는 온도가 변동됨에 따라 상기 기준전압 발생기(Q9~Q12)에 흐르는 전류량을 조절하여 상기 노드(N9)에서 발생하는 상기 기준전압(V_{ref})을 거의 일정하게 유지시킨다. 만약, 저항(R3)값이 커지면 상기 노드(N7)의 전위가 증가하여, PMOS 트랜지스터(Q10)의 저항이 커지므로 기준전압(V_{ref})은 감소한다.

따라서, 상기 기준전압 발생기(201)에서 생성되는 기준전압(V_{ref}) 전압 레벨은 저항값(R3)과 NMOS 트랜지스터(Q11, Q12)의 크기에 의하여 결정된다.

상기 제2기준전압 발생기(202)는 전원전압(V_{cc}) 및 노드(N10) 사이에 접속되며 게이트가 상기 전원전압(V_{cc})에 연결된 PMOS 트랜지스터(Q13)와, 상기 노드(N10) 및 노드(N11) 사이에 접속되며 게이트가 상기 노드(N10)에 연결된 PMOS 트랜지스터(Q14)와, 상기 노드(N11) 및 접지전압(V_{ss}) 사이에 접속되며 게이트가 전원전압(V_{cc})에 연결된 NMOS 트랜지스터(Q15)와, 전원전압(V_{cc}) 및 노드(N12) 사이에 접속되며 게이트가 상기 노드(N11)에 연결된 PMOS 트랜지스터(Q16)와, 상기 노드(N12) 및 노드(N13) 사이에 접속되며 게이트가 상기 노드(N12)에 연결된 NMOS 트랜지스터(Q17)와, 상기 노드(N13) 및 접지전압(V_{ss}) 사이에 접속되며 게이트가 상기 노드(N13)에 연결된 NMOS 트랜지스터(Q18)와, 상기 노드(N12)의 신호를 출력하기 위한 출력단자($2V_t$)를 구비한다.

상기 PMOS 트랜지스터(Q13 및 Q14)는 게이트가 각각 소오스에 접속되며 다이오드 역할을 하게 된다. 상기 PMOS 다이오드(Q13 및 Q14)를 통하여 전원전압(V_{cc})이 전압강하되어 상기 노드(N11)을 $V_{cc}-2V_t$ 전위로 만든다. 상기 노드(N11)의 전위는 상기 NMOS 트랜지스터(Q15)의 저항을 크게 하면 $V_{cc}-2V_t$ 의 일정한 전압을 얻을 수 있으나, 전원전압(V_{cc})의 의존성을 더욱 배제하기 위해 이 출력전압을 다음단의 PMOS 트랜지스터(Q16)의 게이트 신호로 공급한다. 상기 PMOS 트랜지스터(Q16)는 상기 노드(N11)로부터 $V_{cc}-2V_t$ 의 전압을 게이트로 받아 출력단에 전원전압(V_{cc})과 관계없는 일정한 전류를 공급해 준다. 상기 NMOS 트랜지스터(Q17 및 Q18)는 게이트가 각각 드레인쪽에 접속되어 다이오드의 역할을 한다. 상기 PMOS 트랜지스터(Q16)의 저항을 크게 설정하면 출력전압을 $2V_t$ 의 일정한 전압을 얻을 수 있다.

상기 제2기준전압 발생기(202)는 직렬로 연결된 다이오드의 갯수(m)배 만큼의 문턱전압(V_t)을 얻을 수 있으므로 그에 대한 온도의 변화도 $m(\partial V_t / \partial T)$ 으로 크게 얻을 수 있다.

제4도는 본 발명의 제3실시예에 따른 셀프 리프레쉬 주기조절장치의 회로도로서, NMOS 트랜지스터의 바디 바이어스(body bias)의 불안정을 피하기 위해 PMOS 트랜지스터로 구현한 것이다.

상기 회로는 출력전압으로 $V_{cc}-V_{ref}$ 의 전압을 발생시키고, 상기 출력전압을 레벨 쉬프트(level shift)시켜 기준전압(V_{ref})을 발생하는 제1기준전압 발생기(301)와, 기준전압($2V_t$)를 발생시키는 제2기준전압 발생기(302)와, 상기 제1, 제2기준전압 발생기의 출력전압을 비교하여 출력단자로 출력하는 비교기(303)를 구비한다.

상기 제1기준전압 발생기(301)는 전원전압(V_{cc}) 및 노드(N14) 사이에 접속된 저항(R4)과, 상기 노드(N14) 및 노드(N15) 사이에 접속되며 게이트가 상기 노드(N14)에 연결된 PMOS 트랜지스터(Q19)와, 상기 노드(N15) 및 접지전압(V_{ss}) 사이에 접속되며 게이트가 상기 노드(N15)에 연결된 NMOS 트랜지스터(Q20)와, 전원전압(V_{cc}) 및 노드(N16) 사이에 접속되며 게이트가 상기 노드(N16)에 연결된 PMOS 트랜지스터(Q21)와, 상기 노드(N16) 및 접지전압(V_{ss}) 사이에 접속되며 게이트가 상기 노드(N15)에 연결된 NMOS 트랜지스터(Q22)와, 전원전압(V_{cc}) 및 노드(N17) 사이에 접속되며 게이트가 상기 노드(N16)에 연결된 PMOS 트랜지스터(Q23)와, 상기 노드(N17) 및 접지전압(V_{ss}) 사이에 접속되며 게이트가 접지전압(V_{ss})에 연결된 PMOS 트랜지스터(Q24)와, 상기 노드(N17)의 신호를 출력하는 출력단자를 구비한다.

상기 제1기준전압 발생기(301)의 MOS 트랜지스터(Q21, Q22)는 각각 하나의 저항의 기능을 하여 상기 공급전압(V_{cc})을 분압한다. 상기 MOS 트랜지스터(Q21, Q22)에 의하여 분압된 전압은 기준전압(V_{ref})으로서, 상기 PMOS 트랜지스터(Q21)의 드레인 및 상기 NMOS 트랜지스터(Q22)의 드레인 간의 접속되는 노드(N16)를 경유하여 출력한다. 한편, 상기 저항(R4) 및 PMOS 트랜지스터(Q19, Q21)는 온도가 변동됨에 따라 상기 기준전압 발생기(Q19~Q24)에 흐르는 전류량을 조절하여 상기 노드(N16)에서 발생하는 상기 기준전압(V_{ref})

을 거의 일정하게 유지시킨다. 만약, 저항(R4)값이 커지면 상기 노드(N15)의 전위가 증가하며, 상기 NMOS 트랜지스터(Q22)의 저항이 커지므로 기준전압(Vref)은 감소한다. 따라서, 상기 노드(N16)로 Vcc-Vref의 전위가 흐르게 된다. 상기 노드(N16)의 전위는 상기 PMOS 트랜지스터(Q23)의 게이트 신호로 입력되어 상기 PMOS 트랜지스터(Q23) 및 PMOS 트랜지스터(Q24)에 의해 분압되어 상기 출력단자로 기준전압(Vref)을 출력하게 된다. 즉, 상기 PMOS 트랜지스터(Q23 및 Q24)로 이루어진 분압기는 상기 노드(N16)의 신호(Vcc-Vref)를 레벨 쉬프트하여 상기 출력단자로 기준전압(Vref)로 출력하게 된다.

따라서, 상기 제1기준전압 발생기(301)에서 생성되는 기준전압(Vref) 전압 레벨은 저항값(R4)과 PMOS 트랜지스터(Q19, Q21)의 크기에 의하여 결정된다.

상기 제2기준전압 발생기(302)는 전원전압(Vcc) 및 노드(N18) 사이에 접속되며 게이트가 접지전압(Vss)에 연결된 PMOS 트랜지스터(Q25)와, 상기 노드(N18) 및 노드(N19) 사이에 접속된 NMOS 트랜지스터(Q26)와, 상기 노드(N19) 및 접지전압(Vss) 사이에 접속되며 게이트가 상기 노드(N19)에 연결된 NMOS 트랜지스터(Q27)와, 전원전압(Vcc) 및 노드(N20) 사이에 접속되며 게이트가 상기 노드(N20)에 연결된 PMOS 트랜지스터(Q28)와, 상기 노드(N20) 및 상기 노드(N21) 사이에 접속되며 게이트가 상기 노드(N21)에 연결된 PMOS 트랜지스터(Q29)와, 상기 노드(N21) 및 접지전압(Vss) 사이에 접속되며 게이트가 상기 NMOS 트랜지스터(Q26)의 게이트와 연결된 NMOS 트랜지스터(Q30)와, 전원전압(Vcc) 및 노드(N22) 사이에 접속되며 게이트가 상기 노드(N21)에 접속된 PMOS 트랜지스터(Q31)와, 상기 노드(N22) 및 접지전압(Vss) 사이에 접속되며 게이트가 접지전압(Vss)에 의하여 연결된 PMOS 트랜지스터(Q32)와, 상기 노드(N22)의 신호를 출력하는 출력단자로 구성된다.

상기 제2기준전압 발생기(302)는 상기 PMOS 트랜지스터(Q25)의 게이트가 접지전압(Vss)에 연결되어 항상 턴-온상태에 있고, 상기 NMOS 트랜지스터(Q27)는 게이트가 드레인쪽에 접속되어 하나의 다이오드의 역할을 하게 된다. 따라서 상기 PMOS 트랜지스터(Q25)를 통하여 전압 강하된 노드(N18)의 전위에 의해 상기 NMOS 트랜지스터(Q26)가 턴-온되고, 상기 NMOS 트랜지스터(Q30)의 게이트단자로 전류를 흐르게 하므로서, 상기 NMOS 트랜지스터(Q30)를 턴-온시킨다. 그리고 상기 PMOS 트랜지스터(Q28 및 Q29)는 게이트가 드레인과 연결되어 각각 하나의 다이오드 역할을 하게 된다. 따라서 상기 노드(N21)로 흐르는 전위는 상기 NMOS 트랜지스터(Q30)의 저항값에 의하여 상기 PMOS 트랜지스터(Q28 및 Q29)를 통하여 전압강하된 전위(Vcc-2Vt)가 흐르게 된다. 상기 노드(N21)의 전위는 상기 PMOS 트랜지스터(Q31)의 게이트 신호로 연결되어 상기 PMOS 트랜지스터(Q31)를 동작시키게 된다. 그리고 상기 PMOS 트랜지스터(Q31) 및 PMOS 트랜지스터(Q32)에 의해 분압된 신호가 상기 출력단자로 출력하게 된다. 상기 PMOS 트랜지스터(Q32)는 게이트가 접지전압(Vss)에 연결되어 항상 턴-온되고 상기 출력단자로 2Vt의 문턱전압을 출력하게 된다.

그리고, 상기 비교기(303)는 마찬가지로 상기 제1, 제2기준전압 발생기의 출력신호를 비교하여 출력단자로 원하는 온도를 감지한 신호를 출력하게 된다.

제5도는 본 발명의 제4실시예에 따른 셀프 리프레쉬 주기조절장치의 회로도로서, 기준전압(Vref)을 출력하는 제1기준전압 발생기(401)와, 기준전압(2Vt)을 발생하는 제2기준전압 발생기(402)와, 상기 제1, 제2기준전압 발생기의 출력신호를 비교하여 출력단자로 출력하기 위한 비교기(403)를 구비한다.

상기 제1기준전압 발생기(401)는 출력단자로 기준전압(Vref)을 출력하기 위한 것으로, 상기 제4도의 제3실시예의 제1기준전압 발생기(301)와 그 구성 및 동작이 동일한 것이므로 여기서는 생략하기로 한다.

상기 제2기준전압 발생기(402)는 전원전압(Vcc) 및 노드(N27) 사이에 접속되며 게이트가 상기 노드(N27)에 연결된 PMOS 트랜지스터(Q39)와, 상기 노드(N27) 및 노드(N28) 사이에 접속되며 게이트가 상기 노드(N28)에 연결된 PMOS 트랜지스터(Q40)와, 상기 노드(N40) 및 접지전압(Vss) 사이에 접속되며 게이트가 접지전압(Vss)에 연결된 PMOS 트랜지스터(Q41)와, 전원전압(Vcc) 및 노드(N29) 사이에 접속되며 게이트가 상기 노드(N28)에 연결된 PMOS 트랜지스터(Q42)와, 상기 노드(N29) 및 노드(N30) 사이에 접속되며 게이트가 상기 노드(N30)에 연결된 PMOS 트랜지스터(Q43)와, 상기 노드(N30) 및 접지전압(Vss) 사이에 접속되며 게이트가 접지전압(Vss)에 연결된 PMOS 트랜지스터(Q44)와, 상기 노드(N29)의 신호를 출력하는 출력단자로 구성된다.

상기 PMOS 트랜지스터(Q39~Q41, Q43, Q44)는 게이트가 드레인에 연결되어 각각 하나의 다이오드 역할을 하게 된다. 상기 PMOS 트랜지스터(Q39, Q40)를 통하여 전압강하된 신호(Vcc-2Vt)가 상기 PMOS 트랜지스터(Q42)의 게이트 신호로 입력된다. 따라서 상기 PMOS 트랜지스터(Q42)가 동작하여 상기 출력단자로 2Vt의 문턱전압을 출력하게 된다.

상기 비교기(403)의 동작은 상기와 마찬가지로, 상기 제1 및 제2기준전압 발생기로부터의 출력신호를 비교하여 원하는 온도를 감지하여 출력단자로 출력하게 된다.

제6도는 본 발명의 제5실시예에 따른 셀프 리프레쉬 주기조절장치의 블록도로서, 온도의 변화에 따라 결정되는 기준전압을 발생시키기 위한 제1기준전압 발생기(501)와, MOS(MOS)소자의 문턱전위(Vt)를 이용하여 문턱전위(Vt)를 발생시키기 위한 제2기준전압 발생기(502)와, 상기 제1기준전압 발생기 또는, 상기 제2기준전압 발생기 또는, 상기 제1기준전압 발생기 및 상기 제2기준전압 발생기로부터 온도변화에 의해 출력된 출력신호를 증폭시키기 위한 증폭기(503, 504)와, 상기 증폭기로부터 출력된 신호를 비교하여 출력단자로 전달하기 위한 비교기(505)를 구비한다.

상기 증폭기를 상기 도면에서와 같이 한쪽 혹은 양쪽단에 사용하여 온도에 따른 전압의 변화를 크게 얻고자 하였다.

즉, 증폭율이 α 라면, $\alpha \frac{\partial V_{ref}}{\partial T}$ 의 온도 변화를 만들어 온도에 대한 변화를 크게 할 수 있다.

제7도는 제4도의 제3실시예의 셀프 리프레쉬 주기조절장치를 사용하여 50℃를 감지한 것을 시뮬레이션 결과를 통해 나타낸 그래프이다.

가로축은 20℃에서 90℃까지의 온도축이며, 세로축은 전압을 나타낸다. 상기 제7도의 그래프에서 (c)의

출력파형도는 온도에 따라 약간 증가하는 것으로, 상기 제1기준전압 발생기(301)의 출력전압을 나타내고, (b)의 출력파형도는 온도에 따라 감소하는 것으로, 상기 제2기준전압 발생기(302)의 출력전압을 나타낸다. 그리고 (a)의 출력파형도는 상기 (b) 및 (c)의 출력 파형도를 비교한 비교기의 출력을 나타낸다.

상술한 실시예를 동일 석상에 구비되는 오실레이터의 입력 신호로 이용하게 되면 온도의 변화에 응답되는 셀프 리프레쉬를 수행할 수 있다. 즉, 링 오실레이터를 두개로 구현하여 온도가 높거나 낮을때 각각 동작하도록 하므로써 온도의 변화에 응답되는 셀프 리프레쉬를 수행할 수 있다.

상기 본 발명의 셀프 리프레쉬 주기조절장치는 상기 셀프 리프레쉬 뿐만 아니라 다른 주기조절장치에 적용될 수 있다.

이상에서 설명한 본 발명의 셀프 리프레쉬 주기조절장치를 반도체 소자의 내부에 구현하게 되면, 온도를 감지하여 디램의 셀프 리프레쉬 주기를 조절할 수 있으므로, 디램의 셀프 리프레쉬 동작에서 전류소모를 줄이는 효과가 있다.

(5) 청구의 범위

청구항 1

온도의 변화에 따라 응답되는 기준전압을 발생시키기 위한 기준전압 발생수단과, 상기 온도의 변화를 감지하여 그에 따른 전압을 발생시키기 위한 온도검출수단과, 상기 기준전압 발생수단의 출력전압 및 상기 온도검출수단의 출력전압을 비교하여 출력하기 위한 비교수단을 구비하는 것을 특징으로 하는 반도체 소자의 셀프 리프레쉬 주기조절장치.

청구항 2

제1항에 있어서, 상기 기준전압 발생수단은, 제1의 경우에는 온도의 변화에 비례하여 증가하는 전위를 발생시키고, 제2의 경우에는 온도의 변화에 대해 무관하게 일정한 전위를 발생시키고, 제3의 경우에는 온도의 변화에 비례하여 감소하는 전위를 발생시키는 것을 특징으로 하는 반도체 소자의 셀프 리프레쉬 주기조절장치.

청구항 3

제1항에 있어서, 상기 온도검출수단은, 상기 온도가 증가할수록 감소하는 출력전압을 발생시키는 것을 특징으로 하는 반도체 소자의 셀프 리프레쉬 주기조절장치.

청구항 4

제1항에 있어서, 상기 온도의 변화에 따라 변하는 상기 기준전압 발생수단의 출력전압의 변화폭이 상기 온도검출수단의 출력전압의 변화폭보다 작은 것을 특징으로 하는 반도체 소자의 셀프 리프레쉬 주기조절장치.

청구항 5

제1항에 있어서, 상기 온도검출수단의 출력단자로 출력되는 문턱전위(V_t)가 $N \times V_t$ 인 것을 특징으로 하는 반도체 소자의 셀프 리프레쉬 주기조절장치($N=1, 2, 3, \dots$).

청구항 6

제1항에 있어서, 상기 기준전압 발생수단은, 전원전압(V_{cc}) 및 노드(N1) 사이에 접속되며 게이트가 상기 노드(N1)에 연결된 PMOS 트랜지스터(Q1)와, 상기 전원전압(V_{cc}) 및 노드(N3) 사이에 접속되며 게이트가 상기 노드(N1)에 연결된 PMOS 트랜지스터(Q2)와, 상기 노드(N1) 및 노드(N2) 사이에 접속되며 게이트가 상기 노드(N3)에 연결된 NMOS 트랜지스터(Q3)와, 상기 노드(N2) 및 접지전압(V_{ss}) 사이에 접속된 저항(R1)과, 상기 노드(N3) 및 접지전압(V_{ss}) 사이에 접속되며 게이트가 상기 노드(N3)에 연결된 NMOS 트랜지스터(Q4)와, 상기 노드(N3)의 신호를 출력하는 출력단자(V_{ref})로 구성된 것을 특징으로 하는 반도체 소자의 셀프 리프레쉬 주기조절장치.

청구항 7

제1항에 있어서, 상기 기준전압 발생수단은, 전원전압(V_{cc}) 및 노드(N14) 사이에 접속된 저항(R4)과, 상기 노드(N14) 및 노드(N15) 사이에 접속되며 게이트가 상기 노드(N14)에 연결된 PMOS 트랜지스터(Q19)와, 상기 노드(N15) 및 접지전압(V_{ss}) 사이에 접속되며 게이트가 상기 노드(N15)에 연결된 NMOS 트랜지스터(Q20)와, 전원전압(V_{cc}) 및 노드(N16) 사이에 접속되며 게이트가 상기 노드(N16)에 연결된 PMOS 트랜지스터(Q21)와, 상기 노드(N16) 및 접지전압(V_{ss}) 사이에 접속되며 게이트가 상기 노드(N15)에 연결된 NMOS 트랜지스터(Q22)와, 전원전압(V_{cc}) 및 노드(N17) 사이에 접속되며 게이트가 상기 노드(N16)에 연결된 PMOS 트랜지스터(Q23)와, 상기 노드(N17) 및 접지전압(V_{ss}) 사이에 접속되며 게이트가 접지전압(V_{ss})에 연결된 PMOS 트랜지스터(Q24)와, 상기 노드(N17)의 신호를 출력하는 출력단자로 구성된 것을 특징으로 하는 반도체 소자의 셀프 리프레쉬 주기조절장치.

청구항 8

제1항에 있어서, 상기 온도검출수단은, 전원전압(V_{cc}) 및 노드(N4) 사이에 접속되며 게이트가 상기 노드(N4)에 연결된 PMOS 트랜지스터(Q5)와, 상기 노드(N4) 및 접지전압(V_{ss}) 사이에 접속되며 게이트가 노드(N6)에 연결된 NMOS 트랜지스터(Q7)와, 전원전압(V_{cc}) 및 노드(N5) 사이에 접속되며 게이트가 상기 노드(N4)에 연결된 PMOS 트랜지스터(Q6)와, 상기 노드(N5) 및 상기 노드(N6) 사이에 접속되며 게이트가 상기 노드(N4)에 연결된 NMOS 트랜지스터(Q8)와, 상기 노드(N6) 및 접지전압(V_{ss}) 사이에 접속된 저항(R2)과, 상기 노드(N6)의 신호를 출력하는 출력단자로 구성된 것을 특징으로 하는 반도체 소자의 셀프 리프레쉬 주기조절장치.

프 리프레쉬 주기조절장치.

청구항 9

제1항에 있어서, 상기 온도검출수단은, 전원전압(Vcc) 및 노드(N10) 사이에 접속되며 게이트가 상기 전원전압(Vcc)에 연결된 PMOS 트랜지스터(Q13)와, 상기 노드(N10) 및 노드(N11) 사이에 접속되며 게이트가 상기 노드(N10)에 연결된 PMOS 트랜지스터(Q14)와, 상기 노드(N11) 및 접지전압(Vss) 사이에 접속되며 게이트가 전원전압(Vcc)에 연결된 NMOS 트랜지스터(Q15)와, 전원전압(Vcc) 및 노드(N12) 사이에 접속되며 게이트가 상기 노드(N11)에 연결된 PMOS 트랜지스터(Q16)와, 상기 노드(N12) 및 노드(N13) 사이에 접속되며 게이트가 상기 노드(N12)에 연결된 NMOS 트랜지스터(Q17)와, 상기 노드(N13) 및 접지전압(Vss) 사이에 접속되며 게이트가 상기 노드(N13)에 연결된 NMOS 트랜지스터(Q18)와, 상기 노드(N12)의 신호를 출력하기 위한 출력단자로 구성된 것을 특징으로 하는 반도체 소자의 셀프 리프레쉬 주기조절장치.

청구항 10

제1항에 있어서, 상기 온도검출수단은, 전원전압(Vcc) 및 노드(N18) 사이에 접속되며 게이트가 접지전압(Vss)에 연결된 PMOS 트랜지스터(Q25)와, 상기 노드(N18) 및 노드(N19) 사이에 접속된 NMOS 트랜지스터(Q26)와, 상기 노드(N19) 및 접지전압(Vss) 사이에 접속되며 게이트가 상기 노드(N19)에 연결된 NMOS 트랜지스터(Q27)와, 전원전압(Vcc) 및 노드(N20) 사이에 접속되며 게이트가 상기 노드(N20)에 연결된 PMOS 트랜지스터(Q28)와, 상기 노드(N20) 및 상기 노드(N21) 사이에 접속되며 게이트가 상기 노드(N21)에 연결된 PMOS 트랜지스터(Q29)와, 상기 노드(N21) 및 접지전압(Vss) 사이에 접속되며 게이트가 상기 NMOS 트랜지스터(Q26)의 게이트와 연결된 NMOS 트랜지스터(Q30)와, 전원전압(Vcc) 및 노드(N22) 사이에 접속되며 게이트가 상기 노드(N21)에 접속된 PMOS 트랜지스터(Q31)와, 상기 노드(N22) 및 접지전압(Vss) 사이에 접속되며 게이트가 접지전압(Vss)에 연결된 PMOS 트랜지스터(Q32)와, 상기 노드(N22)의 신호를 출력하는 출력단자로 구성된 것을 특징으로 하는 반도체 소자의 셀프 리프레쉬 주기조절장치.

청구항 11

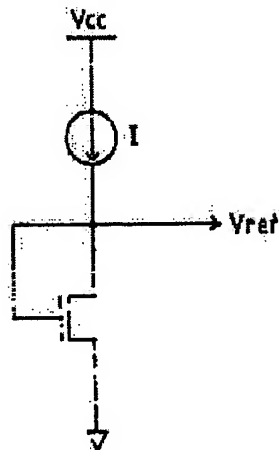
제1항에 있어서, 상기 온도검출수단은, 전원전압(Vcc) 및 노드(N27) 사이에 접속되며 게이트가 상기 노드(N27)에 연결된 PMOS 트랜지스터(Q39)와, 상기 노드(N27) 및 노드(N28) 사이에 접속되며 게이트가 상기 노드(N28)에 연결된 PMOS 트랜지스터(Q40)와, 상기 노드(N40) 및 접지전압(Vss) 사이에 접속되며 게이트가 접지전압(Vss)에 연결된 PMOS 트랜지스터(Q41)와, 전원전압(Vcc) 및 노드(N29) 사이에 접속되며 게이트가 상기 노드(N28)에 연결된 PMOS 트랜지스터(Q42)와, 상기 노드(N29) 및 노드(N30) 사이에 접속되며 게이트가 상기 노드(N30)에 연결된 PMOS 트랜지스터(Q43)와, 상기 노드(N30) 및 접지전압(Vss) 사이에 접속되며 게이트가 접지전압(Vss)에 연결된 PMOS 트랜지스터(Q44)와, 상기 노드(N29)의 신호를 출력하는 출력단자로 구성된 것을 특징으로 하는 반도체 소자의 셀프 리프레쉬 주기조절장치.

청구항 12

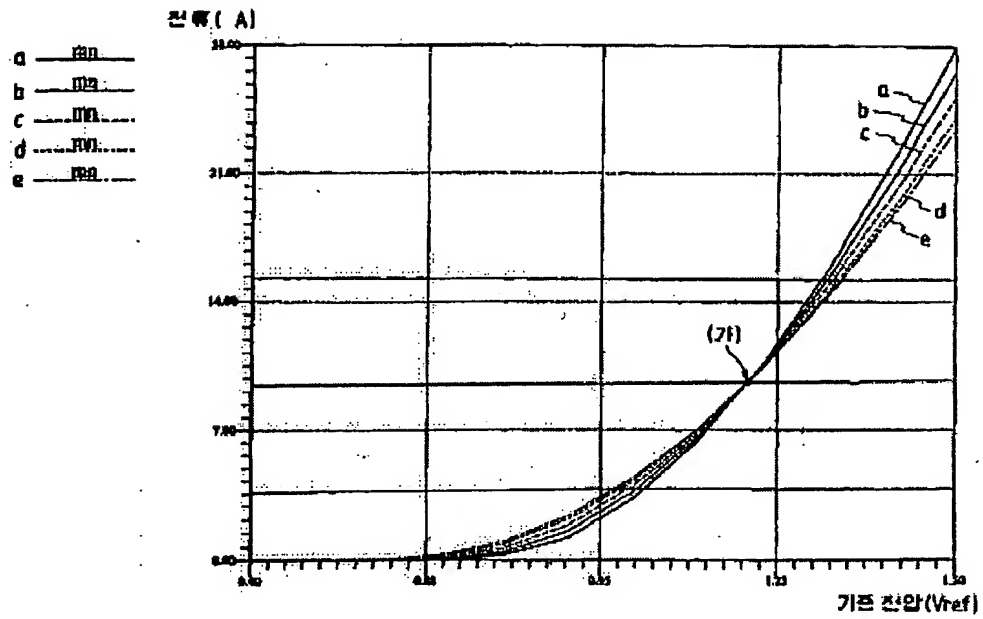
반도체 소자의 온도 감지기에 있어서, 온도의 변화에 따라 적어도 한개 이상의 거의 일정한 기준전압을 발생시키기 위한 기준전압 발생수단과, 상기 온도의 변화를 감지하여 그에 따른 전압을 발생시키기 위한 온도검출수단과, 상기 기준전압 발생수단, 또는 상기 온도검출수단, 또는 상기 기준전압 발생수단 및 상기 온도검출수단으로부터 온도에 따라 변화된 출력신호를 증폭시키기 위한 증폭수단과, 상기 증폭수단으로부터 출력된 신호를 비교하여 출력단자로 전달하기 위한 비교수단을 구비하는 것을 특징으로 하는 반도체 소자의 셀프 리프레쉬 주기조절장치.

도면

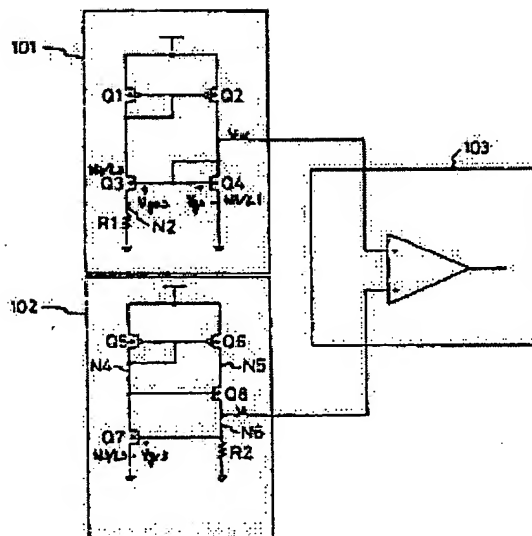
도면A



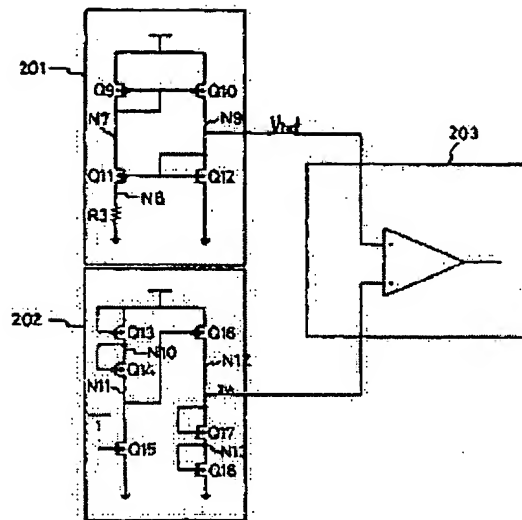
도면 18



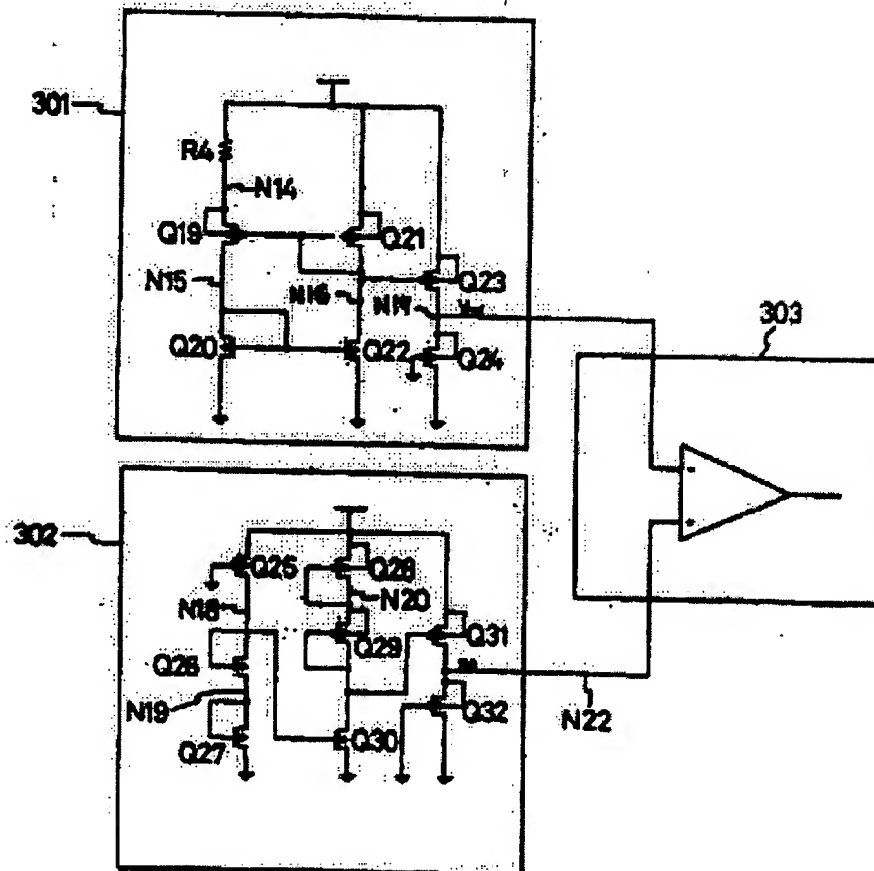
도면 19



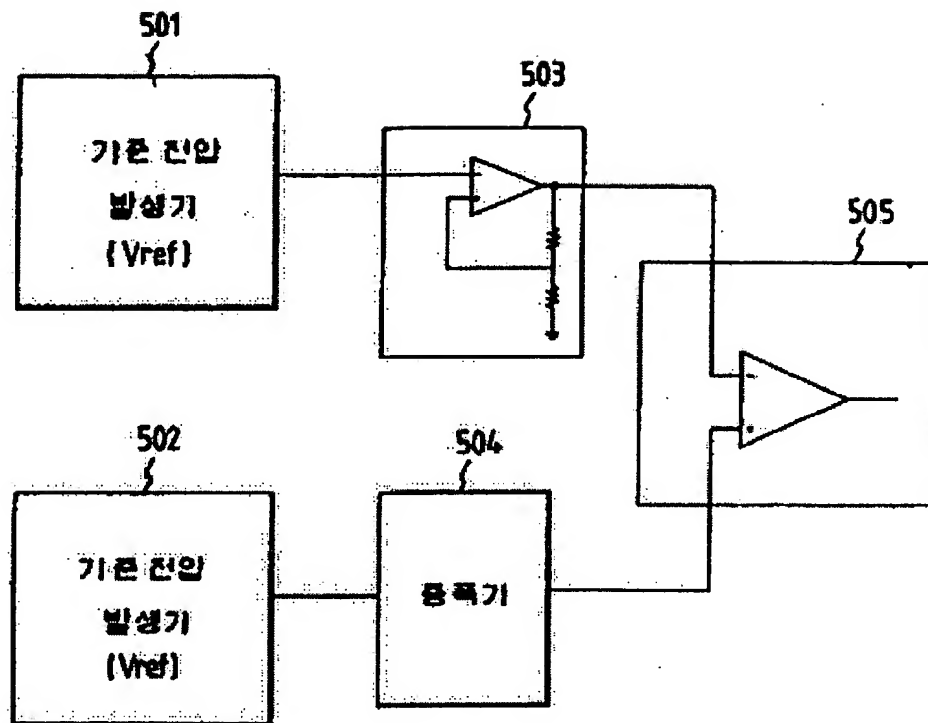
도 3



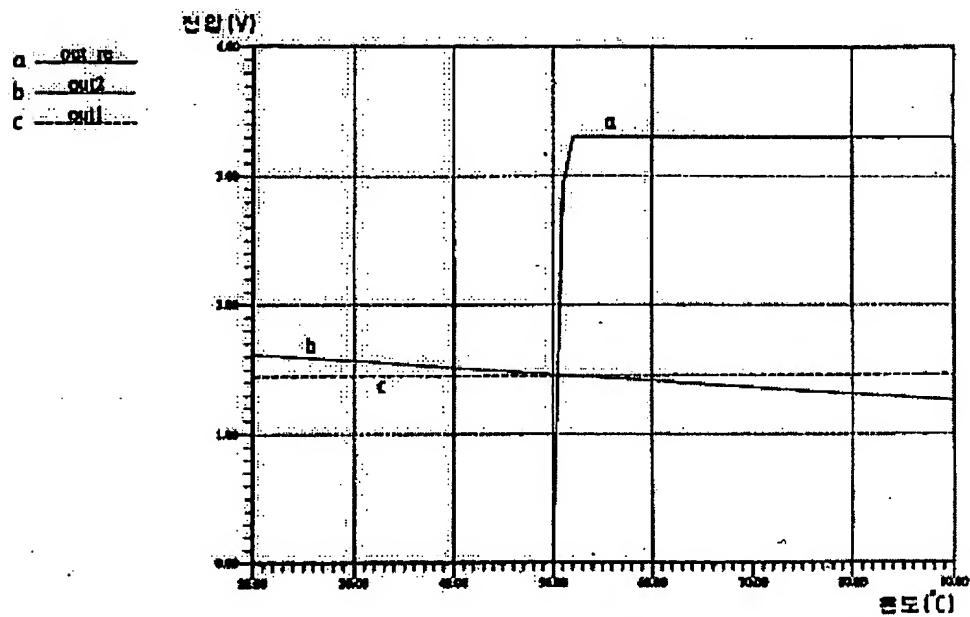
도 4



도 26



도 27



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.